

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07094679 A**

(43) Date of publication of application: **07.04.95**

(51) Int. Cl.

H01L 27/04
H01L 21/822
H01L 21/8238
H01L 27/092
H01L 27/12

(21) Application number: **05233951**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **20.09.93**

(72) Inventor: **SATO NORIAKI**

(54) **SEMICONDUCTOR DEVICE**

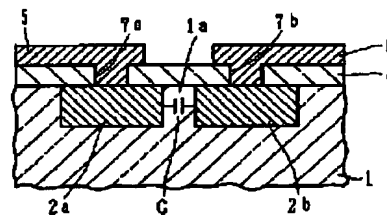
(57) Abstract:

PURPOSE: To provide an SOI(Semiconductor On Insulator) type semiconductor device having enhanced ESD(ElectroStatic Discharge) resistance.

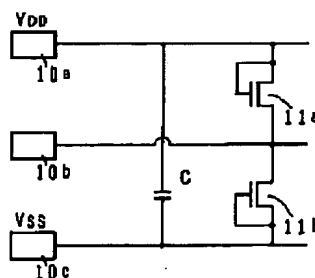
CONSTITUTION: The SOT type semiconductor device having a semiconductor surface layer on an insulating substrate comprises a pair of feeder lines 5, 6 formed on the semiconductor surface layer, a pair of low resistivity semiconductor regions 2a, 2b disposed in the surface layer while being connected with the pair of feeder lines, and a dielectric region 1a disposed between the pair of low resistivity semiconductor regions, wherein the pair of low resistivity semiconductor regions provide a capacitor.

COPYRIGHT: (C)1995,JPO

(A)



(B)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94679

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.⁶

H 0 1 L 27/04
21/822
21/8238

識別記号

庁内整理番号

F I

技術表示箇所

8832-4M

H 0 1 L 27/04

H

9170-4M

27/08

3 2 1 H

審査請求 未請求 請求項の数 9 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願平5-233951

(22) 出願日 平成5年(1993)9月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 佐藤 典章

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

(54) 【発明の名称】 半導体装置

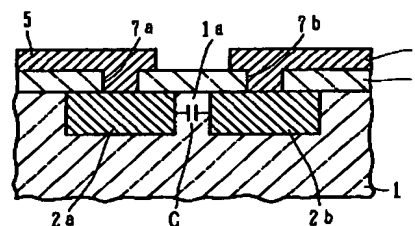
(57) 【要約】

【目的】 静電荷放電 (ESD) 耐性を向上した SOI (絶縁体上の半導体) 型半導体装置に関し、ESD 耐性を向上した SOI 型半導体装置を提供することを目的とする。

【構成】 絶縁性支持基板上に半導体表面層を有する SOI 型半導体装置であって、半導体表面層上に形成された 1 対の電源供給線 (5、6) と、前記 1 対の電源供給線に接続され、表面層中に配置された 1 対の低抵抗率半導体領域 (2 a、2 b) と、前記 1 対の低抵抗率半導体領域間に配置された誘電体領域 (1 a) とを有し、前記 1 対の低抵抗率半導体領域が容量を形成するように構成する。

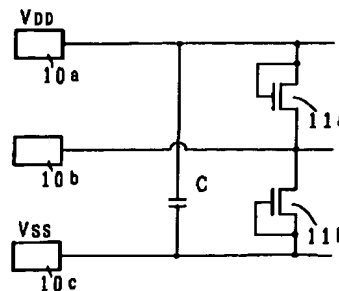
基本実施例

(A)



1: 絶縁領域
2: 低抵抗率半導体領域
4: 絶縁膜
5: VSSライン
6: VDDライン
7: コンタクト孔

(B)



【特許請求の範囲】

【請求項 1】 絶縁性支持基板上に半導体表面層を有する SOI 型半導体装置であって、半導体表面層上に形成された 1 対の電源供給線 (5、6) と、

前記 1 対の電源供給線に接続され、表面層中に配置された 1 対の低抵抗率半導体領域 (2a、2b) と、前記 1 対の低抵抗率半導体領域間に配置された誘電体領域 (1a) とを有し、前記 1 対の低抵抗率半導体領域が容量を形成する SOI 型半導体装置。

【請求項 2】 前記支持基板は、半導体基板を含み、半導体基板表面に前記誘電体領域に連続する絶縁層が形成されている請求項 1 記載の SOI 型半導体装置。

【請求項 3】 前記 1 対の低抵抗率半導体領域 (2a、2b) はその側面で前記誘電体領域 (1a) を介して対向し、容量を形成する請求項 2 記載の SOI 型半導体装置。

【請求項 4】 前記 1 対の低抵抗率半導体領域が複数対設けられ、共通の 1 対の電源供給線に接続されている請求項 3 記載の SOI 型半導体装置。

【請求項 5】 前記 1 対の低抵抗率半導体領域は、支持基板表面に射影した形状が、インターデジタル部を含む請求項 3 ないし 4 記載の SOI 型半導体装置。

【請求項 6】 前記 1 対の低抵抗率半導体領域の外縁は 90 度以下の角度をなす屈曲部を有さない請求項 3～5 のいずれかに記載の SOI 型半導体装置。

【請求項 7】 前記 1 対の低抵抗率半導体領域は、1 方が他方を取り囲む形状を有する請求項 3～6 のいずれかに記載の SOI 型半導体装置。

【請求項 8】 前記 1 対の低抵抗率半導体領域は市松模様状に配置され、前記 1 対の電源供給線が交互に接続されている請求項 4 記載の SOI 型半導体装置。

【請求項 9】 前記 1 対の低抵抗率半導体領域は前記半導体基板を介して容量を形成する請求項 2 記載の SOI 型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に静電荷放電 (ESD) 耐性を向上した SOI (絶縁体上の半導体) 型半導体装置に関する。

【0002】

【従来の技術】 半導体集積回路において、静電気がピン等を介して外部から侵入し、回路内で放電すると、半導体集積回路はその機能を損ねることが多い。以下 CMOS 半導体集積回路を例に取って説明する。

【0003】 図 3 (A) ～ (C) に、従来の技術による ESD ノイズ保護対策の例を示す。図 3 (A) は、入力信号を受けるパッド 50 に対する ESD ノイズの対策回路を示す。

【0004】 パッド 50 は、内部回路に接続する前に p

チャネル MOS トランジスタ pMOS と、n チャネル MOS トランジスタ nMOS の直列回路に接続されている。電源電圧 V_{DD} とパッド 50 に接続された信号線との間に p チャネル MOS トランジスタ pMOS が接続され、パッド 50 に接続された信号線と電源電圧 V_{SS} との間に n チャネル MOS トランジスタ nMOS が接続されている。

【0005】 pMOS のゲート電極は電源電圧 V_{DD} 側 (ソース S と呼ぶ) に接続され、nMOS のゲート電極は電源電圧 V_{SS} (ソース S) に接続されている。このような回路においては、パッド 50 に入力する信号が V_{SS} と V_{DD} の間にある間は、pMOS と nMOS は共にオフされている。

【0006】 パッド 50 に正電荷が侵入し、その電位が V_{DD} よりも高くなると、pMOS のソース S とドレイン D の関係は逆転する。pMOS のドレイン D 側からソース S 側に正電荷が流れ、電源 V_{DD} に吸収される。

【0007】 パッド 50 に負電荷が侵入し、パッド 50 の電位が電源電圧 V_{SS} 以下になると、nMOS のソース S とドレイン D の関係が逆転し、負電荷はドレイン D からソース S に流れ、電源配線 V_{SS} に吸収される。

【0008】 図 3 (B) は、図 3 (A) に示すような ESD 保護回路の構成例を示す断面図である。n 型 Si 等の基板 51 の内に、p 型ウェル 52 が形成され、この p ウェル 52 の内に n チャネル MOS トランジスタが形成される。すなわち、p ウェル 52 の内に n⁺ 型領域 53、54 が形成され、その間に画定されるチャネル領域上に絶縁ゲート電極 55 が形成される。

【0009】 また、p ウェル 52 の内に p⁺ 型領域 56 が形成される。p⁺ 型領域 56 と n⁺ 型領域 53 はゲート電極 55 と共に電源電圧 V_{SS} に接続される。一方他の n⁺ 型領域 54 はパッド 50 に接続される。この構成においては、n⁺ 型領域 53 が図 3 (A) に示すソース S となり、n⁺ 型領域 54 がドレイン D となる。

【0010】 なお、この構成によれば p ウェル 52 内に n チャネル MOS トランジスタが形成されるが、同時に n⁺ 型領域 54、p ウェル 52、n 型基板 51 の間にバイポーラトランジスタ構造も形成される。

【0011】 上述のように、パッド 50 の電位が V_{SS} 以下になった時は、ソース S とドレイン D の役割が反転し、ドレイン 54 からソース 53 に負電荷が流れる。一方、p ウェル 52 の n⁺ 型領域 54 と基板 51 に挟まれる領域の間の厚さおよび不純物濃度を調整することにより、n⁺ 型領域 54 から n 型基板 51 にパンチスルー電流が流れるようにすることができる。

【0012】 すなわち、パッド 50 に負電荷が侵入すると、パッド 50 の負電位の増大に伴い、n⁺ 領域 54 から基板 51 にパンチスルー電流が流れると共に、nMOS がオンすると n⁺ 型領域 54 から n⁺ 型領域 53 を通って V_{SS} にも負電荷が流れる。

【0013】なお、 n ウェル領域内に p MOSトランジスタを形成した場合も同様のESD電流が流れる。ただし、極性は反転する。さらに、この他、ドレイン拡散層54と p ウェル52との作る p n 接合を介して、逆方向ダイオード電流としてウェル52へ流れる経路もある。この場合、ESDノイズが負電荷ならば、 n MOSのドレイン部接合を介して V_{ss} または基板へ流れるか、 p MOSのソース部接合を介して V_{DD} または基板へと流れる。正電荷のノイズのときは、ドレイン/ソースが入れ替わるだけで同様である。

【0014】図3(C)は、超薄膜SOI-CMOS集積回路装置において、同様の構成を形成した場合を示す。 Si 基板等の支持基板59の上に SiO_2 等の絶縁領域58が形成され、この絶縁領域の上に n MOSトランジスタが構成されている。

【0015】すなわち、 n^+ 型領域53、54が対向配置され、その間に p チャネル57が配置されている。 p チャネル57の上には絶縁ゲート電極55が形成される。 n^+ 型領域53と絶縁ゲート電極55は電源 V_{ss} に接続され、 n^+ 型領域54はパッド50に接続される。

【0016】この構成においては、SOI構造のため n MOSから基板59には電流が流れない。従って、 n MOSは存在するが、図3(B)の場合に付随して存在するパイポーラトランジスタは存在しない。

【0017】さらに、ウェルがないので、ドレイン拡散層下に p n ダイオードも存在しない。

【0018】ESD試験を行う時、 V_{DD} または V_{ss} ラインをフローティング状態にしてコンデンサから電荷を入力パッドに加えることがある。また、実際の使用条件のなかでESDノイズが加わって V_{DD} ラインまたは V_{ss} ラインまで電荷が逃げた時、両ラインともフローティング状態にあり、吸収されないままになることがある。このような場合、超薄膜SOI-CMOS回路においては電荷が逃げるのができず、ESD不良が生じ易い。

【0019】このようなESD対策として、埋め込み酸化膜の一部に開口部を設ける方法や、SOI構造の一部を非SOI構造(すなわちバルクと同様のCMOS構造)にする方法が提案されている。これらの方法によれば、電荷を支持基板に逃がすことが可能となる。

【0020】しかし、埋め込み酸化膜の一部に開口部を設けるためにはプロセスが増加し、余分な面積が必要となる。また、SOI構造を非SOI構造とするとSOI構造の利点が減少し、プロセスが増加し、段差部での配線の断線の可能性が生じる等の問題がある。

【0021】

【発明が解決しようとする課題】SOI型半導体装置においては、ESD対策に解決すべき課題が残っている。本発明の目的は、ESD耐性を向上したSOI型半導体装置を提供することである。

【0022】

【課題を解決するための手段】本発明のSOI型半導体装置は、絶縁性支持基板上に半導体表面層を有するSOI型半導体装置であって、半導体表面層上に形成された1対の電源供給線(5、6)と、前記1対の電源供給線に接続され、表面層中に配置された1対の低抵抗率半導体領域(2a、2b)と、前記1対の低抵抗率半導体領域間に配置された誘電体領域(1a)とを有し、前記1対の低抵抗率半導体領域が容量を形成する。

【0023】

10 【作用】1対の電源供給線の間に容量が接続されるため、パッドにESDノイズが入射してもESD不良は生じ難い。

【0024】

【実施例】図1に本発明の基本実施例によるSOI型半導体装置の構成を示す。図1(A)はSOI型半導体装置の概略部分断面図、図1(B)はSOI半導体装置の一部回路図である。

20 【0025】図1(A)において、SOI型半導体装置の支持基板表面の絶縁領域1の内に低抵抗率半導体領域2a、2bが形成されている。この低抵抗率半導体領域2a、2bには、それぞれ V_{ss} ライン5および V_{DD} ライン6が接続されている。

【0026】なお、低抵抗率半導体領域2a、2bの間は誘電体領域1aによって分離され、その表面は絶縁膜4によって覆われている。なお、絶縁膜4にはコンタクト孔7a、7bが形成され、 V_{ss} ライン5および V_{DD} ライン6が低抵抗率半導体領域2a、2bにそれぞれ接触する。

30 【0027】低抵抗率半導体領域2a、2bの間には容量Cが形成される。この容量は、低抵抗率半導体領域2a、2bを近接配置し、誘電体領域1aを挟んで直接形成してもよく、また低抵抗率半導体領域2a、2bがそれぞれSOI絶縁領域1を介して支持用半導体基板と形成する容量を介して形成してもよい。

【0028】なお、図1(A)には示していないが、このSOI型半導体装置の他の部分には従来技術同様の p MOSと n MOSの直列接続が形成され、電源ライン V_{ss} と V_{DD} の間に接続される。

40 【0029】図1(B)はこのようなESD保護回路の等価回路を示す。パッド10a、10b、10cには、それぞれ電源電圧 V_{DD} 、入力信号、電源電圧 V_{ss} が印加される。

【0030】パッド10aに接続されるラインとパッド10bに接続されるラインの間には p MOS11aが接続され、パッド10bと10cの間には n MOS11bが接続される。さらに、パッド10aと10cに接続されるラインの間に容量Cが接続されている。

50 【0031】パッド10bにESDノイズが入射すると、その極性に応じ電荷がパッド10aまたはパッド10cに接続されたラインに流れる。ここで、パッド10

aと10cに接続されたライン間には容量Cが接続されているため、入射した電荷は容量Cに吸収される。

【0032】図2は、図1(A)に示すような絶縁領域中に埋め込まれた2つの半導体領域を形成する製造方法の例を示す。図2(A)において、半導体デバイス形成するための貼り合わせ用基板12の上にレジスト等によるマスク13a、13bが形成される。

【0033】図2(B)に示すように、これらのマスク13a、13bを用いて反応性イオンエッチング(RIE)等のエッチングを行うことにより、マスク13a、13bの下に突起す半導体領域12a、12bを残す。その後マスク13a、13bは除去する。

【0034】図2(C)に示すように、突起部を形成した貼り合わせ用基板12の上に、CVD等により、SiO₂等の絶縁膜14および多結晶Si等の多結晶半導体層15を堆積する。堆積直後の状態においては、多結晶半導体層15は凹凸を有する表面を有するが、この表面を研磨することによって図に示すような平坦な表面を得る。

【0035】次に図2(D)に示すように、Si基板等の支持基板16を準備し、この支持基板16の表面に多結晶半導体層15が接合されるように貼り合わせ基板12を配置する。

【0036】この状態で、たとえば1000°C程度の高温に保持することにより、支持基板16と貼り合わせ用基板12は接着される。なお、温度と共に電圧、圧力等を併用することにより貼り合わせ工程は簡単化かつ安定化される。

【0037】図2(E)に示すように、貼り合わせ後貼り合わせ基板12を図中上側から研磨することにより、突起部12a、12bのみを残すようにする。この状態においては、貼り合わせ用基板12に形成された半導体領域12a、12bが絶縁膜14中に分離した状態で残される。

【0038】なお、半導体領域12a、12bはいずれかの段階で高濃度に不純物をドーブしておく。このようにして、図1(A)に示す低抵抗率半導体領域が形成される。

【0039】なお、同様の方法により絶縁膜中に埋め込まれた半導体領域を多数形成し、それぞれにpMOS、nMOS等を形成することができる。このように形成したSOI構造の上に絶縁膜を形成し、コンタクト孔を形成後配線層を形成すれば図1(A)に示す半導体構造が得られる。

【0040】なお、図2(E)に示す構造においては、半導体領域12a、12bは絶縁膜14を介して支持基板16の上に形成された多結晶半導体層15と対向している。すなわち、半導体領域12a、12bは支持基板との間にも容量を形成する。

【0041】ESD保護用の容量を形成する半導体領域

の形状としては種々の形状が可能である。図4は本発明の実施例によるESD保護容量の平面構成例を示す。絶縁領域25内に配置された低抵抗率半導体領域23は、共通の基幹部分から3つの枝状部分23a、23b、23cが張り出した形状を有する。絶縁領域25内に配置された他の半導体領域24も同様に、共通の基幹部分から3つの枝状部分24a、24b、24cが張り出した形状を有する。

【0042】半導体領域23と半導体領域24は、互いにその枝状部分23a~23cと24a~24cが互いにかみ合うようにインターデジタル形状に配置される。半導体領域23はV_{ss}ライン21に接続され、半導体領域24はV_{DD}ライン22に接続される。

【0043】このようなインターデジタル形状を採用することにより、半導体領域23と半導体24の対向面積が増大し、形成する容量のキャパシタンスが増大する。図5は、図4に示すような構成の容量を、集積回路チップに配置する配置例を示す。半導体チップ20の中央部には集積回路部分が形成され、周辺部にはパッドが形成される。中央部の回路部分と周辺部のパッドとの間にV_{ss}ライン21とV_{DD}ライン22が中央領域を取り囲むように配置されている。

【0044】このV_{ss}ライン21とV_{DD}ライン22の間に複数個所において図4に示すようなESD保護回路26が配置される。図示の構成においては、3つのESD保護回路26a、26b、26cが示されている。容量を分散配置することにより電源ライン全体に対する保護機能が均一化される。

【0045】なお、必要に応じてESD保護回路の数を増減することができる。また、V_{ss}ライン21、V_{DD}ライン22の対向する全長に渡ってESD保護回路を形成することもできる。

【0046】超薄膜SOI型CMOS回路においては、半導体デバイスを形成する半導体層は、たとえば約0.1μmと極め薄くされる。このような場合、容量を形成する半導体領域の側面の面積は厚さに応じて小さくなる。容量を増大させるためには、半導体領域間の誘電体層の厚さを薄くすればよいが、あまり薄くすると耐圧が不足してしまう。

【0047】たとえば、SiO₂の誘電体層を利用する場合、対向する半導体領域間には厚さ約0.5μm程度の誘電体領域を残す。この半導体領域間の誘電体層の厚さは、リーク電流が無視できる程度となり、かつ絶縁破壊されない程度の厚さを確保する必要がある。1つの目安として、最小露光線幅程度の誘電体層を用いる。

【0048】ESDノイズは人体等から発生するが、典型的には500V程度の電圧が生じる。このようなESD電圧を緩和するためには、容量は大きい方が望ましい。図6は、半導体領域間に形成される容量のキャパシタンスをさらに増大するのに適した平面形状を示す。

【0049】半導体領域23は、2つの枝状部分23a、23bを有し、同様の2つの枝状部分24a、24bを有する半導体領域24と対向配置されている。これらの枝状部分23a、23bと24a、24bはインターデジタル形状にかみ合っており配置されている。

【0050】さらに、対向する各枝状部分において、枝状部分23aからさらに突出する突起部28が形成され、枝状部分24からも突起する突起領域27が形成され、突起部28と交互にかみ合うように配置されている。これらの突起27、28により、半導体領域23、24の対向部分の周縁の長さは増大する。

【0051】すなわち、半導体領域23、24の側面の面積が増大している。この増大した側面が互に対向配置されることにより、その間に形成される容量のキャパシタンスも増大する。

【0052】図7は、本発明の他の実施例によるESD保護容量の配置例を示す。半導体領域23と24が2次元状にかつ交互に配置され、市松模様のパターンを形成している。各半導体領域23、24の周囲には誘電体領域が配置されている。

【0053】これらの半導体領域の上に、図に示すように斜め方向に電源配線21a、21b、21c、21dと22a、22b、22c、…が交互に配置されている。すなわち、半導体領域23は V_{ss} ライン21に接続され、半導体領域24は V_{DD} ライン22に接続される。従って、各半導体領域23、24はその周囲を他の電源ラインに接続される半導体領域に囲まれており、その全側面で容量を形成する。

【0054】本実施例においては、各半導体領域の主表面における面積を小さくし、主表面側から電源ラインにコンタクトを取ることで、容量を増加させると共に半導体領域内の電圧降下をほとんど無視できるようにすることも可能である。

【0055】ESDノイズは電圧が高いため、導電性領域に鋭角なエッジがあると、そこにおいて放電を生じやすい。図8は、本発明の他の実施例による、耐圧の高いESD保護容量の構成例を示す。絶縁領域中に円形の半導体領域24とそれを囲むリング状の半導体領域23が形成され、その間に容量を形成する。

【0056】これらの半導体領域の上に絶縁膜を介して V_{ss} ライン21、 V_{DD} ライン22が配置され、絶縁膜中に形成したコンタクト孔28を介してリング状半導体領域23および円形状半導体領域24にオーミックコンタクトする。

【0057】この構成においては、半導体領域23と24の対向面において突起が全く存在せず、耐圧が向上する。このため、半導体領域23、24間の誘電領域の厚さを減少させることが可能になる。

【0058】なお、これらの半導体領域は必ずしも円形にする必要はなく、楕円形状または長円形状などなら

かな曲線を形成するいかなる形状としてもよい。電源配線の一方が接地電位の場合は、接地電位を外側に配置するのが好ましい。

【0059】SOI型構造において、表面層に形成される半導体層は相互間に容量を形成できる他、支持基板として半導体基板を用いる場合、支持基板との間にも容量を形成する。

【0060】図9は、本発明の他の実施例によるSOI型半導体装置のESD保護容量の構成例を示す。支持用Si基板29の上に絶縁膜25が配置され、この絶縁膜25中に半導体領域23、24が配置されている。半導体領域23、24は絶縁膜25の一部を介して支持基板29と対向し、容量C1、C2を形成する。

【0061】半導体領域23、24の表面は、絶縁膜31によって覆われる。絶縁膜31中にはコンタクト孔28が形成され、半導体領域23、24の一部を露出する。これらのコンタクト孔を覆うように V_{ss} ライン21、 V_{DD} ライン22が形成される。すなわち、 V_{ss} ライン21と V_{DD} ライン22の間には、半導体領域23、支持基板29、半導体領域24によって形成されるESD保護容量が接続される。

【0062】なお、図1(A)、図4～図9には、ESD保護回路用の容量部分のみを図示したが、同一の半導体チップ上に図3(C)に示すようなMOSトランジスタ構造を形成し、図1(B)に示すようなESD保護回路を形成する。ESD保護容量として図1、4～8に示す構成と図9に示す構成を組み合わせるまたは兼用させることもできる。

【0063】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0064】

【発明の効果】以上説明したように、本発明によれば、製造工程を複雑化させることなく、ESD耐性を向上したSOI型半導体装置が提供される。

【図面の簡単な説明】

【図1】本発明の基本実施例を示す断面図および回路図である。

【図2】図1に示す半導体装置の製造方法を説明するための概略断面図である。

【図3】従来の技術を説明するための回路図および断面図である。

【図4】本発明の実施例によるESD保護容量の平面形状を示す平面図である。

【図5】チップ内におけるESD保護容量の配置を示す平面図である。

【図6】本発明の実施例によるESD保護容量の平面形状を示す平面図である。

【図7】本発明の実施例によるESD保護容量の平面形

状を示す平面図である。

【図 8】本発明の実施例による ESD 保護容量の平面形状を示す平面図である。

【図 9】本発明の実施例による ESD 保護容量の構成を概略的に示す断面図である。

【符号の説明】

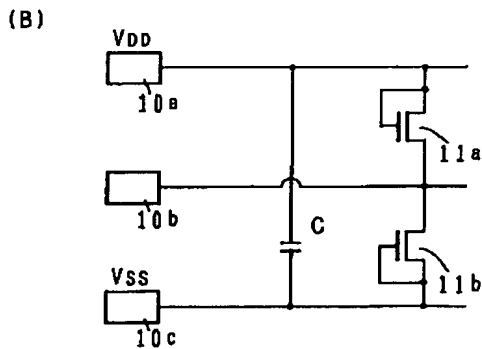
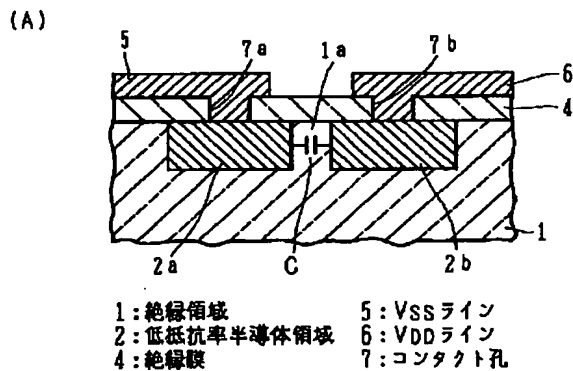
- 1 絶縁領域
- 2 低抵抗率半導体領域
- 3 絶縁膜
- 5 V_{SS} ライン
- 6 V_{DD} ライン

- * 7 コンタクト孔
- 10 パッド
- 11 MOSトランジスタ
- 12 貼り合わせ用基板
- 13 マスク
- 14 絶縁膜
- 15 多結晶半導体層
- 16 支持基板
- 21、22 電源配線
- 23、24 半導体領域

*

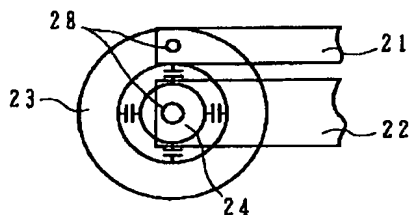
【図 1】

基本実施例



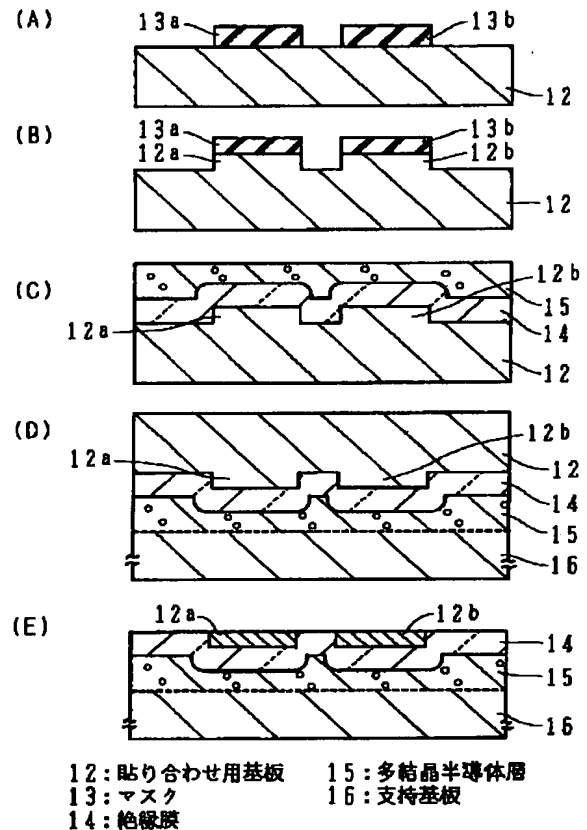
【図 8】

実施例



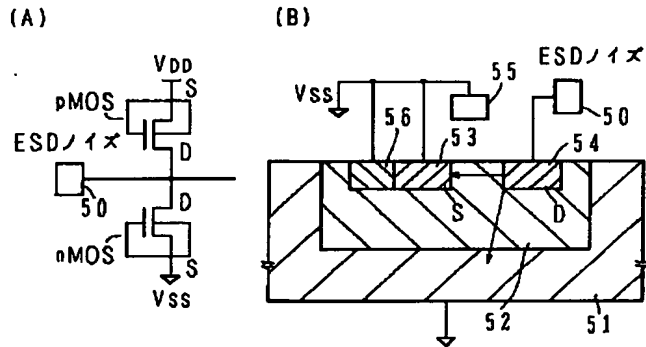
【図 2】

製造方法



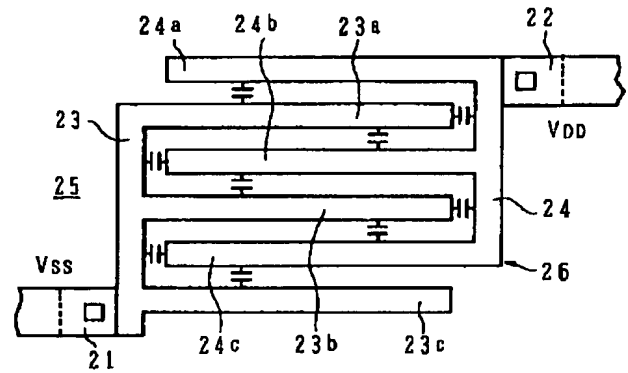
【図 3】

従来の技術

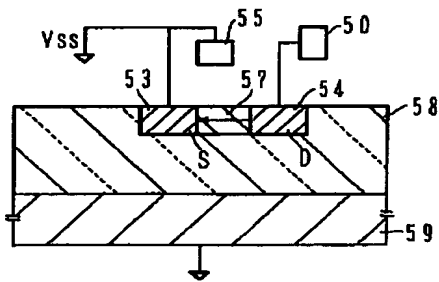


【図 4】

実施例

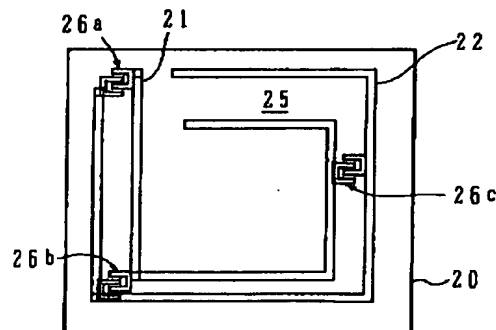


(C)



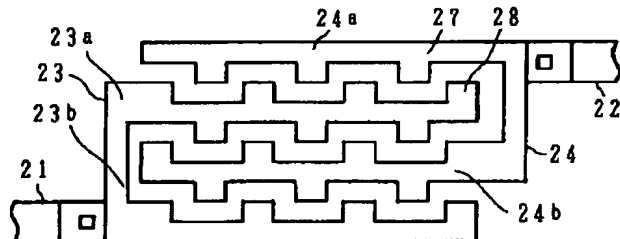
【図 5】

チップ内配置

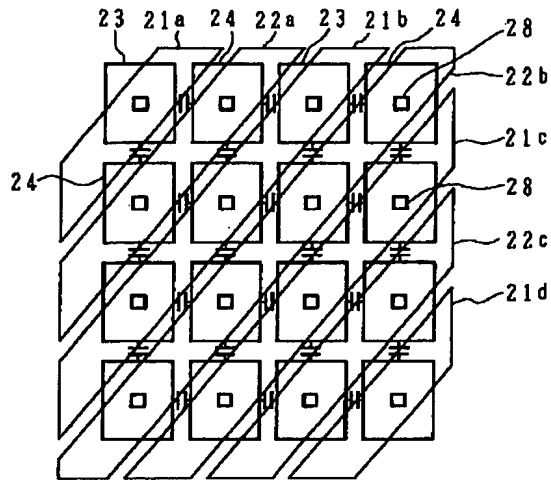


【図 6】

実施例

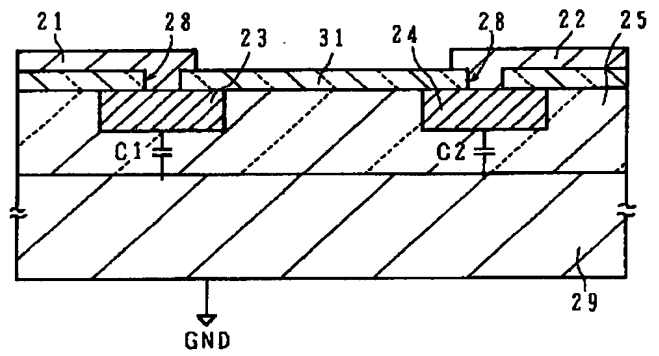


【図 7】



【図 9】

実施例



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 27/092

27/12

識別記号

庁内整理番号

F I

技術表示箇所

K